

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-016258

(43)Date of publication of application : 19.01.1989

(51)Int.Cl.

H02M 3/155

(21)Application number : 62-171469

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 09.07.1987

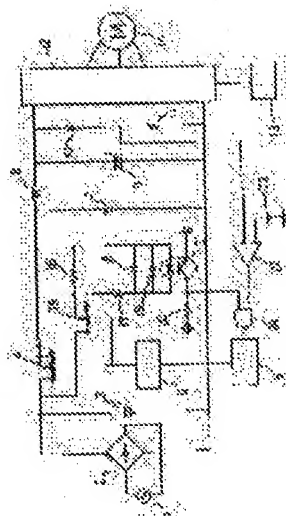
(72)Inventor : IIO KOJI

## (54) OVERCURRENT PROTECTOR FOR CHOPPER DEVICE

## (57)Abstract:

PURPOSE: To improve the reliability of a circuit, by utilizing the ON-resistance of the switching element of the chopper circuit as a resistance for detecting current.

CONSTITUTION: A DC power source is constituted of a commercial power source 1, a rectifier 2 and a smoothing capacitor 3 while a chopper circuit is constituted of a power MOSFET 4, a flywheel diode 7, a reactor 8 and a capacitor 9. A control circuit 13 and an inverter are constituted of a power transistor module 12 to drive a load or a motor 14. In this case, the ON-resistance of the FET 4 is utilized as a resistance for detecting a current. The series circuit of an overcurrent detecting unit, consisting of a photocoupler 21 and the like, and the FET 15 is connected in parallel to the FET 4 while the FET 16 is driven by a gate drive circuit 6 in synchronized with the FET 14. According to this constitution, the current of the FET 15 is increased when the current of the chopper circuit is increased whereby the photocoupler 21 is put ON by a prede termined current and the oscillation of an oscillating circuit 5 may be stopped through a gate 24.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑬ Int. Cl.

H 02 M 3/155

識別記号

庁内整理番号

C-7829-5H

⑭ 公開 昭和64年(1989)1月19日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 チョップパ装置の過電流保護装置

⑯ 特 願 昭62-171469

⑰ 出 願 昭62(1987)7月9日

⑱ 発 明 者 飯 尾 幸 司 静岡県静岡市小島3丁目18番1号 三菱電機株式会社静岡製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大 岩 増 雄 外2名

# 明 細 書

## 1. 発明の名称

チョップパ装置の過電流保護装置

## 2. 特許請求の範囲

オン、オフ制御される第1のスイッチング素子と、該第1のスイッチング素子に同期してオン、オフ制御される第2のスイッチング素子と過電流検出部との直列回路であって該第1のスイッチング素子に並列に接続される回路と、該過電流検出部の出力により該第1のスイッチング素子をオフ状態とする手段とを具備していることを特徴とするチョップパ装置の過電流保護装置。

## 3. 発明の詳細な説明

(産業上の利用分野)

この発明は、チョップパ装置の過電流保護装置に関するものである。

(従来の技術)

第2図は、従来例の回路図で、リアクトル付チョップパ回路を用いた安定化電源における過電流保護装置を示す。

図において、1は商用電源で、整流器2、平滑コンデンサ3により整流、平滑され直流電圧となる。

この直流電圧は、ゲートドライブ回路6で適宜オン、オフ制御されるパワーMOS FET4によりスイッチングされ、フライホイールダイオード7、リアクトル8、コンデンサ9を介して安定化された直流電圧となり、パワートランジスタモジュールからなるインバータ12に供給され、所望の周波数の擬似3相交流に変換されモータ14に供給される。

この装置では、MOS FET4に直列に検出用抵抗25を接続し、この抵抗と並列にホトカブラ21等からなる過電流検出部を接続している。

そして、システムに異常が発生し、主回路の電流が増加すると、ホトカブラ21のトランジスタがオンし、ホトカブラ21に接続されたゲート24の入力が入力Lとなってコンパレータ22からの帰還信号は遮断され発信回路5は

発信を停止し、MOS FET 4はオフとなって主回路の電流が遮断され過電流保護が行われる。

(発明が解決しようとする問題点)

従来のチョッパ装置の過電流保護装置は、上述のように構成されていて、主回路の電流が全て電流検出用抵抗に流れるので、抵抗での電力損失や発熱が大きくなり、大型抵抗を使い、又、放熱対策が必要で価格が高くなるなどの問題点があった。

この発明は、このような問題点を解消することを目的とするのである。

(問題点を解決するための手段)

この発明では、オン、オフ制御されるチョッパ部のスイッチング素子に、これと同期してオン、オフ制御される第2のスイッチング素子と過電流検出部との直列回路を並列接続し、過電流検出部の出力でチョッパ部のスイッチング素子をオフ状態とする。

(作用)

この構成により、過負荷等によりチョッパ部の

パワーMOS FET 4に供給され、そのオン時間、オフ時間の比が制御され、チョッパ回路の出力電圧は安定化される。

パワーMOS FET 4に、ホトカブラ 21等からなる過電流検出部とMOS FET 15との直列回路が並列接続され、パワーMOS FET 15もゲートドライブ回路5に接続され、パワーMOS FET 4に同期してスイッチングされる。MOS FET 15として、オン抵抗がパワーMOS FET 4と100:1のものが選定される。MOS FET 15の電流は、一部は抵抗16を流れ、他は電流制限抵抗17を介してホトカブラ 21のダイオードに流れる。

ホトカブラ 21のトランジスタにかかる電圧は、ゲート24に供給され、コンパレータ22の帰還信号と論理積をとって、発振回路5に入力される。

18は平滑コンデンサ、19は保護用ダイオード、20は電流制限抵抗である。

次に過電流保護の動作について説明する。

スイッチング素子に流れる電流が大きくなると、これに並列接続された直列回路の電流も大きくなって過電流検出が行われ、チョッパ部のスイッチング素子をオフ状態にして過電流保護を行う。

(実施例)

以下この発明を一実施例により詳しく説明する。第1図は、実施例の回路図を示し、第2図と同一符号の部分は同一又は相当部分を示す。

図において、1は商用電源であり、2は整流器、3は平滑コンデンサで直流電源を構成する。

4はパワーMOS FET、7はフライホイールダイオード、8はリアクトル、9はコンデンサでリアクトル付チョッパ回路を構成する。

12はパワートランジスタモジュールで制御回路13とともにインバータを構成する。

14は負荷のモータである。

チョッパ回路の出力電圧は、抵抗10、11で分圧され、コンパレータ22で基準電圧23と比較し発振回路5へ帰還され、発振回路5からの信号がゲートドライブ回路6で増幅、増幅されて

正常時、ホトカブラ 21の発光ダイオードに流れる電流は小さく、そのトランジスタはオフ状態にあって電源電圧が抵抗20を介してH信号としてゲート24に供給される。

したがって、ゲート24は導通状態にあり、コンパレータ22からの帰還信号は発振回路5に供給され、パワーMOS FET 4はオン、オフ制御される。

何らかの要因でチョッパ回路の電流が増加すると、MOS FET 15を通る電流も増加する。

所定の電流でホトカブラ 21がオンするように、抵抗16、17等の回路定数を選定しておく。チョッパ回路の過電流時に、ホトカブラ 21のトランジスタがオンし抵抗20は接地されゲート24への信号はHからしとなるので、コンパレータからの帰還信号はゲート24で遮断され、発振回路5は発振を停止し、パワーMOS FET 4はオフ状態となり過電流保護が行われる。

なお、チョッパ回路が遮断された後、その状態

を維持するとか、自動再閉路するといった手法が従来技術に従い適宜採用される。

このようにして、チョッパ回路に電流検出用抵抗を設ける必要がなく、過電流検出部に流れる電流はチョッパ回路の1%程度とできるので、抵抗での電力損失や発熱は問題とならず、安価に作成できる。

上記実施例では、MOS FETを用いているが、バイポーラ素子で構成することもでき、素子4と15のオン抵抗比を1:100としているが、これは過電流検出部に流れる電流が小さく、かつ検出可能なレベルならどのような比率でもよい。

#### (発明の効果)

以上のように、この発明は、チョッパ回路のスイッチング素子のオン抵抗を電流検出用抵抗として利用するものであるから、別に電流検出用抵抗を設ける必要がなく、電流検出用抵抗における電力損失、発熱の問題はなく、回路の信頼性が向上し、過電流保護装置が安価にできる。

#### 4. 図面の簡単な説明

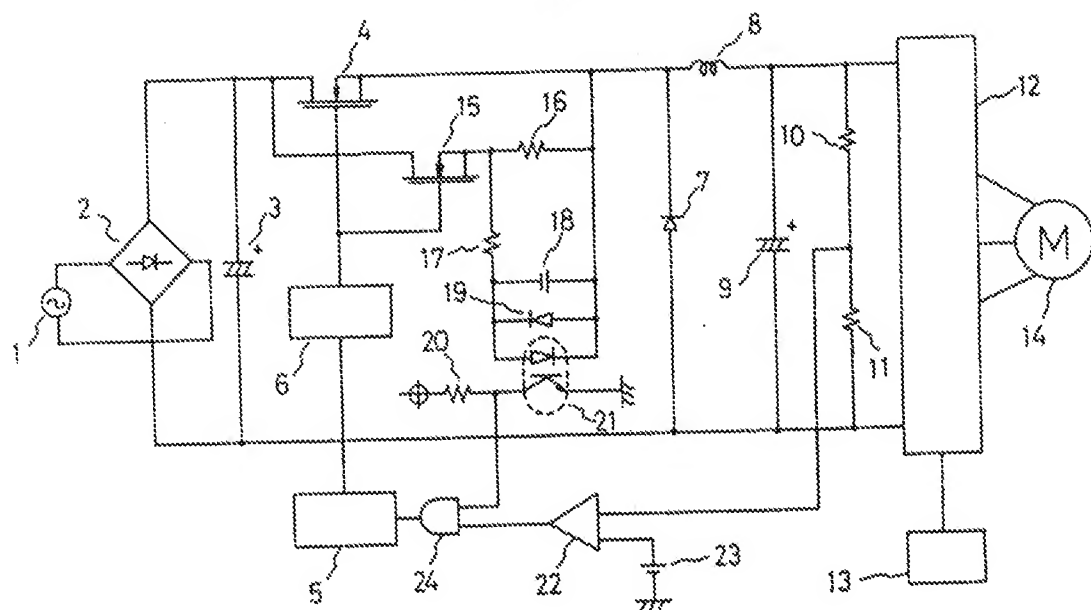
第1図は、この発明の一実施例の回路図、第2図は従来例の回路図を示す。

図中、4はパワーMOS FET、5は発振回路、6はゲートドライブ回路、21はホトカブラ、24はゲートである。

なお、同一符号は同一又は相当部分を示す。

代理人 大 野 増 雄

第 1 図



- 4 : パワーMOS FET
- 5 : 発振回路
- 6 : ゲートドライブ回路
- 21 : ホトカブラ
- 24 : ゲート

第 2 圖

